|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| |  | | --- | | МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ | | ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ высшего образования | | **«Национальный исследовательский ядерный университет «МИФИ»**  **(НИЯУ МИФИ)** | | ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ | | КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) | |
|  |

**МЕТОДИЧЕСКИЙ МАТЕРИАЛ**

**для выполнения курсовой работы**

**по предмету «Схемотехника цифровых устройств»**

**Векторный анализатор сигналов**

**Москва 2022**

СОДЕРЖАНИЕ

[Введение 3](#_Toc116911164)

[1. Назначение 4](#_Toc116911165)

[2. Функции векторного анализатора 5](#_Toc116911166)

[3. Физическая реализация 6](#_Toc116911167)

[3.1. Описание устройства 6](#_Toc116911168)

[3.2. Узел аналого-цифрового преобразования 8](#_Toc116911169)

[3.3. Узел кондиционирования сигнала 9](#_Toc116911170)

[3.4. Узел синхронизации 10](#_Toc116911171)

[4. Логика работы 11](#_Toc116911172)

[4.1. Описание протокола обмена 13](#_Toc116911173)

[4.1.1. Формат пакетов 13](#_Toc116911174)

[4.1.2. Диаграммы обмена 15](#_Toc116911175)

[4.1.3. Реализация шлюза интерфейса 16](#_Toc116911176)

[4.1.4. Модуль гетеродинирования 18](#_Toc116911177)

[4.1.5. Анализатор трафика 25](#_Toc116911178)

[4.2. Адресное пространство 30](#_Toc116911179)

[4.2.1. Адреса модуля управления системой 31](#_Toc116911180)

[4.2.2. Адреса модуля синтеза частоты дискретизации 32](#_Toc116911181)

[4.2.3. Адреса модуля гетеродинирования 35](#_Toc116911182)

[4.2.4. Адреса анализатора трафика 38](#_Toc116911183)

[Список использованной литературы 42](#_Toc116911184)

[Приложение 1 43](#_Toc116911185)

Введение

В рамках выполнения курсовой работы решается задача разработки векторного анализатора сигналов.

Векторный анализатор сигналов используется для анализа радиосигналов сложной формы, например, сигналов с цифровой квадратурной модуляцией. Параметры таких колебаний трудно, если вообще возможно оценить с помощью обычных устройств. Чтобы получить исчерпывающие сведения о модуляции и характеристиках сигнала, а также извлечь полезные данные, необходимо исследовать двухкомпонентный, то есть векторный процесс, который отражает изменения во времени амплитуды и фазы исходного сигнала. Средства цифровой обработки векторного анализатора позволяют регистрировать подобные процессы и выделять информацию о параметрах принимаемого сигнала.

Построение модели входного тракта современных связных устройств, включающих в себя цифровое гетеродинирование и выделение информационных состояний, — основная цель выполнения курсовой работы.

1. Назначение

Модуль векторного анализатора сигналов предназначен для анализа поступающих на его вход аналоговых сигналов и получения из них информации. Возможные виды принимаемых сигналов:

1. гармонический сигнал;
2. сигнал произвольной формы;
3. сигналы квадратурной модуляции.

Возможные режимы модуляции:

1. QPSK (Квадратурно-фазовая модуляция);
2. 8-PSK (Восьмипозиционная фазовая модуляция);
3. 16-QAM (Квадратурная амплитудная модуляция 16-позиционного сигнала).

В качестве интерфейса для обмена данными между устройством и хостом (PC/AT) используется интерфейс USB.

На вход платы АЦП поступают аналоговые синфазная и квадратурная составляющие сигнала, над которыми выполняется операция дискретизации сигнала с помощью аналого-цифрового преобразователя (АЦП) ADC10D040 [3] фирмы Texas Instruments. Полученный цифровой сигнал передается на отладочную плату cyc1000 [1] для его дальнейшего анализа и получения из него переданной информации с использованием ПЛИС Cyclone 10LP 10CL025 [2] фирмы Intel.

Характеристики устройства:

1. габаритный размер отладочной платы cyc1000 [1]: 61,5x25 мм;
2. габаритный размер платы АЦП: 74x110 мм;
3. входной сигнал с частотой до 10 МГц;
4. питание постоянным током: 5В.
5. Функции векторного анализатора

Элемент векторного анализатора (плата АЦП) выполняет следующие функции:

1. прием аналоговых сигналов;
2. кондиционирование сигналов (преобразование униполярных сигналов в дифференциальные, фильтрация для обеспечения заданной полосы пропускания10 МГц);
3. выполнение аналого-цифрового преобразования;
4. передача цифровых данных на отладочную плату cyc1000 для дальнейшей цифровой обработки сигналов на ПЛИС;
5. осуществление синхронизации с внешними устройствами.

В рамках курсовой работы необходимо разработать логику обработки данных для векторного анализатора сигналов, которая бы выполняла следующие функции:

1. «общение» с хостом, то есть прием управляющих воздействий, передача цифровых данных;
2. прием цифровых данных от платы АЦП;
3. обеспечение АЦП частотой дискретизации сигнала;
4. цифровое гетеродинирование, то есть сдвиг частотной полосы входного потока цифровых данных вниз;
5. определение символьной скорости и типа модуляции сигнала;
6. демодуляция сигналов (для режимов QPSK, 8-PSK, 16-QAM);
7. хранение и передача на хост сигналов сложной формы без анализа;
8. хранение информации в наборе буферов.
9. Физическая реализация
   1. Описание устройства

Обобщённый внешний вид (по очертаниям и обозначениям элементов сборочного чертежа) платы АЦП представлен на рис. 3.1.

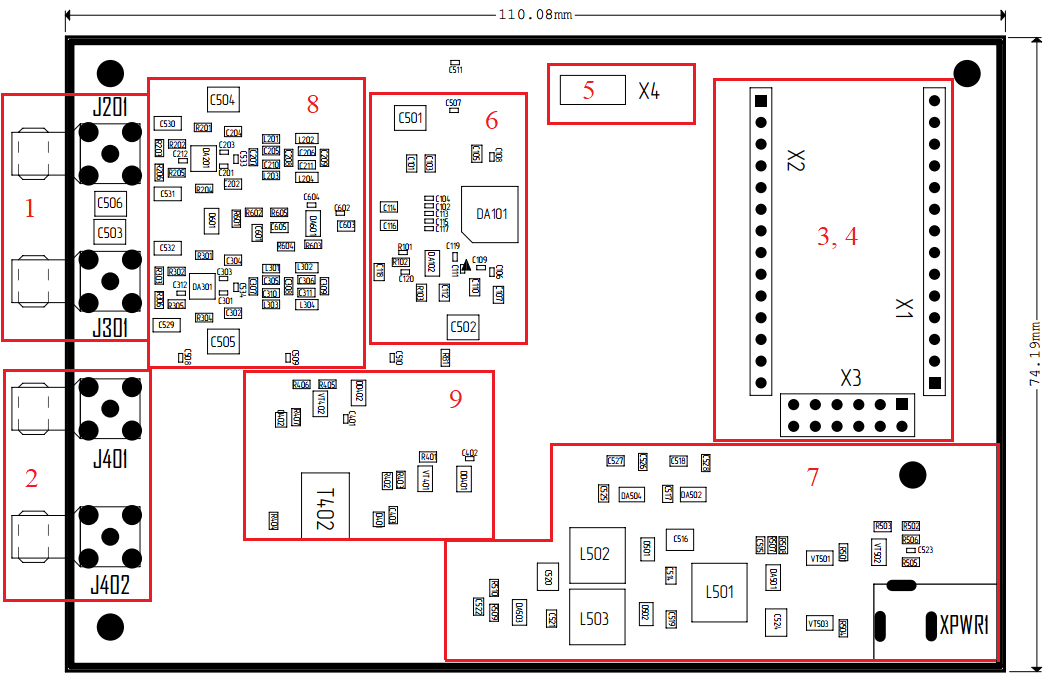


Рисунок 3.1 — Сборочный чертеж платы АЦП.

Основные узлы устройства:

1. разъемы SMA (J201, J301) для получения аналогового сигнала (квадратурной (Q) и синфазной (I) составляющих) для его дальнейшей обработки;
2. разъем SMA для получения (J402) и отправления (J401) синхронизирующих импульсов;
3. два штекерных гнезда 2,54мм 1х14 (X1, X2), предназначенных для передачи полученного цифрового сигнала на вход отладочной платы cyc1000;
4. штекерное гнездо 2,54мм 2х6 (X3), предназначенное для передачи полученного цифрового сигнала на вход отладочной платы cyc1000;
5. штыревой соединитель 1,27мм 2x6 (X4), предназначенный для проверки корректности аналого-цифрового преобразования для Q составляющей сигнала;
6. узел аналого-цифрового преобразования;
7. узел питания;
8. узел кондиционирования сигнала;
9. узел синхронизации.

На рисунке 3.2 представлена обобщенная блок-схема устройства.

OpAmp

SMA

АЦП

FPGA

USB

I/Q

Sync

Trigger

ISig

OpAmp

SMA

QSig

SMA

Sync\_in

SMA

Sync\_out

Узел кондиционирования

Узел кондиционирования

Узел синхронизации

Ideal diode

Разъем питания

Узел питания

Рисунок 3.2 — Обобщенная блок-схема устройства

* 1. Узел аналого-цифрового преобразования

Узел аналого-цифрового преобразования предназначен для преобразования аналогового сигнала, поступающего с модуля функционального генератора, в цифровой.

Центральным элементом данного узла является аналого-цифровой преобразователь ADC10D040 [3] фирмы Texas Instruments.

На рисунке 3.3 изображена схема узла аналого-цифрового преобразования.

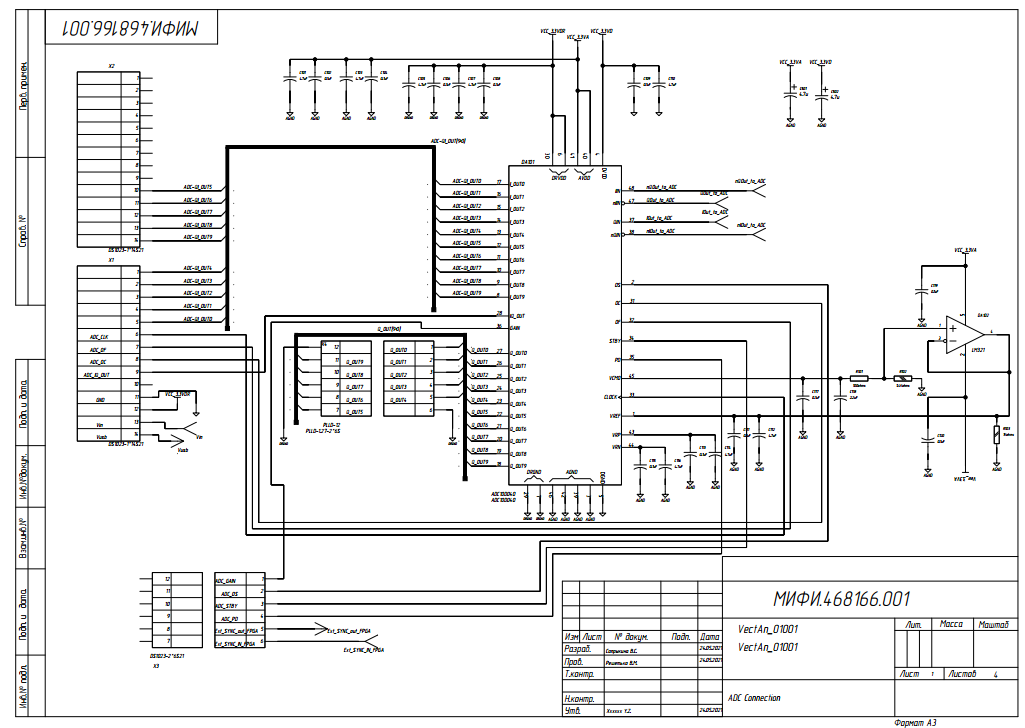


Рисунок 3.3 — Схема узла аналого-цифрового преобразования

Для выполнения корректного аналого-цифрового преобразования с помощью АЦП ADC10D040 [3] в соответствии с документацией на аналоговые входы данного АЦП необходимо подавать сигналы с напряжением от 1,15 В до 1,85 В при использовании опорного напряжения VOCM = 1,4 В.

Цену деления младшего значащего бита можно определить исходя из формулы:

где m — опорный масштабирующий коэффициент, равный 1 при GAIN=0 и равный 2 при GAIN=1, а n — разрядность АЦП.

* 1. Узел кондиционирования сигнала

Узел кондиционирования сигнала предназначен для преобразования униполярного сигнала в дифференциальный и для ограничения частотной полосы, которая бы удовлетворяла исходным данным (то есть 10 МГц). Фильтрующая часть состоит из двух идентичных фильтров для I и Q составляющих сигнала. На рисунке 3.4 представлена упрощенная схема узла кондиционирования сигнала.

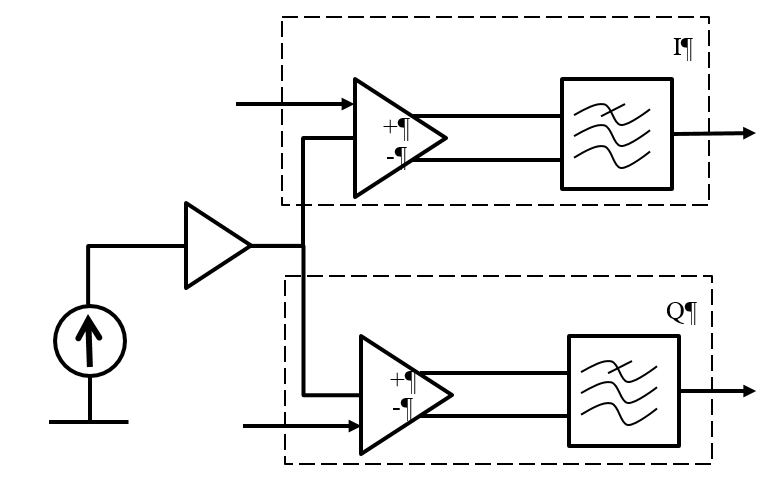


Рисунок 3.4 — Упрощенная схема узла кондиционирования сигнала

На вход платы АЦП поступают униполярные синфазная и квадратурная составляющие сигнала. Для выполнения цифро-аналогового преобразования сначала необходимо с помощью операционного усилителя преобразовать входной униполярный сигнал в дифференциальный.

На рисунке 3.5 изображена схема узла кондиционирования сигнала.

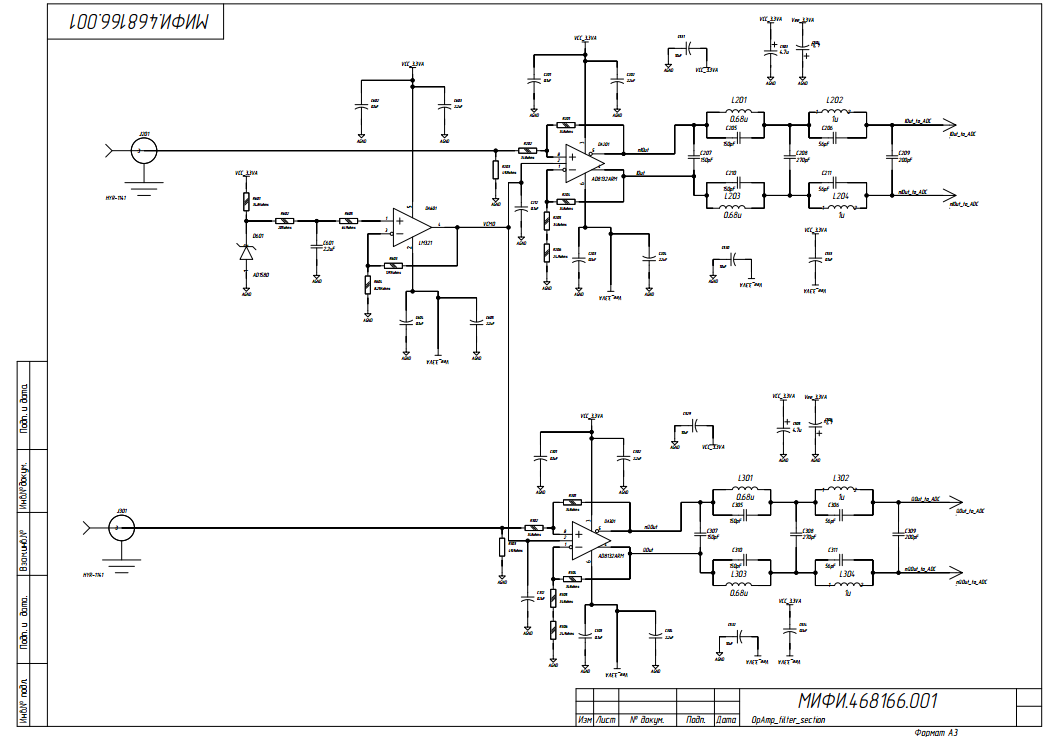


Рисунок 3.5 — Схема узла кондиционирования сигнала

* 1. Узел синхронизации

Узел синхронизации предназначен для синхронизации с внешними устройствами, например, осциллографом, причем реализована возможность отправки синхросигналов как со стороны внешних устройств, так и со стороны разрабатываемого устройства. На рисунке 3.6 изображена схема узла синхронизации. Синхронизация со стороны внешнего устройства выполняется на основе трансформаторной согласующей схемы, после которой сигнал с помощью инвертора CMOS кондиционируется к параметрам логических уровней (“0” и “1”) CMOS 3,3В. Также реализована возможность отправки синхросигналов с разрабатываемого устройства через усилитель тока на транзисторе во включении с общим эмиттером.

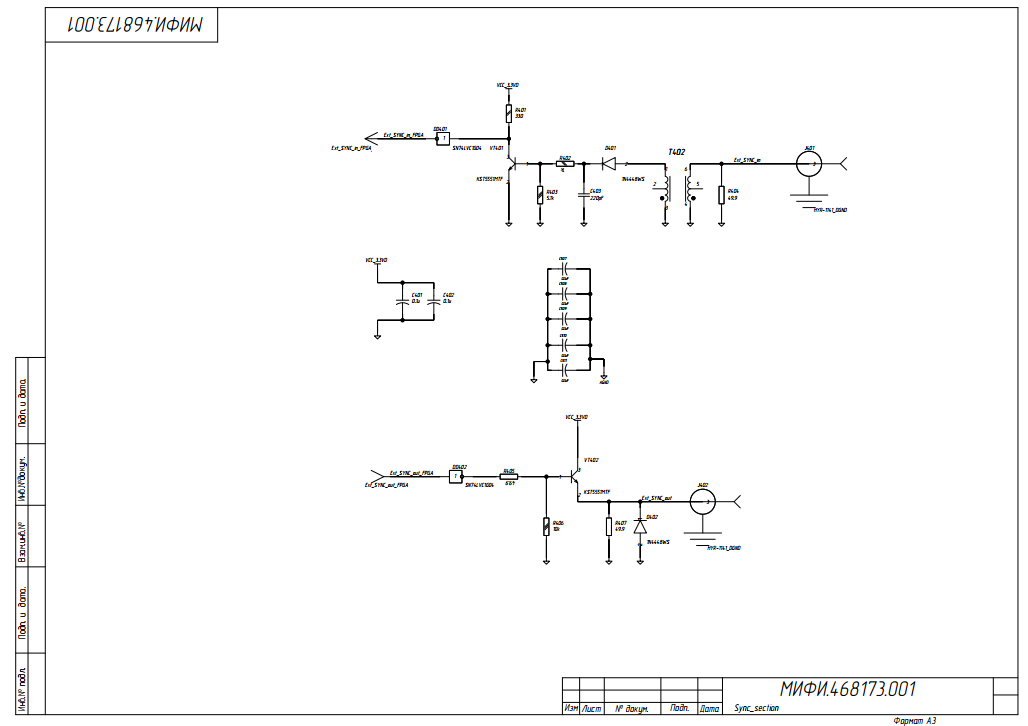


Рисунок 3.6 — Схема узла синхронизации

1. Логика работы

Работу векторного анализатора сигналов невозможно представить без логического наполнения проекта. Главной функцией платы АЦП по сути является аналого-цифровое преобразование над полученными сигналами и, как следствие, оно является бесполезным без должного анализа цифровых данных, так как данные, приходящие с платы АЦП, в общем случае представляют собой не полезную информацию в чистом виде, а модулированный аналоговый сигнал, состоящий из суммы синфазной и квадратурной составляющих, над которым произвели аналого-цифровое преобразование. Вследствие этого цифровые данные необходимо проанализировать и выделить из них только полезную информацию. Кроме того, АЦП, расположенный на плате, не будет работать до тех пор, пока на него не подадут сигнал частоты дискретизации с отладочной платы cyc1000. Именно поэтому логика обработки данных для векторного анализатора сигналов занимается:

* генерацией частоты дискретизации и частоты приема данных с платы АЦП;
* сдвигом частотной полосы вниз (downconverting) входного потока цифровых данных;
* анализом полезной информации, то есть определением символьной скорости и типа модуляции;
* демодуляцией;
* обменом данными с хостом.

Таким образом, было принято решение представить логическое наполнение проекта в виде модулей, разбитых в соответствии с выполняемыми ими функциями, для удобства написания и отладки проекта.

На рисунке 4.1 изображена упрощенная блок-схема логического наполнения проекта.

USB

Модуль управления системой

Набор буферов входных данных

Модуль гетеродинирования

Модуль управления частотой дискретизации

Модуль протокольного обмена

Анализатор трафика

Модуль демультиплексирования

Рисунок 4.1 — Упрощенная блок-схема логического наполнения проекта

Модуль протокольного обмена служит для получения данных от хоста и для их передачи на хост. Модуль управления системой содержит основные конфигурационные параметры, необходимые для корректной работы устройства. Модуль управления частотой дискретизации представляет собой схему прямого цифрового синтеза и предназначен для задания частоты дискретизации для АЦП, а также для генерации частоты приема данных от АЦП для модуля демультиплексирования. Модуль демультиплексирования используется для разделения синфазной и квадратурной составляющих сигнала, поступающих по одному каналу с платы АЦП. Модуль гетеродинирования получает цифровые данные после аналого-цифрового преобразования от модуля демультиплексирования и служит для сдвига частотной полосы вниз (downconverting) входного потока цифровых данных. Анализатор трафика предназначен для определения вида сигнала и сведений о его модуляции по полученным цифровым данным. Набор буферов входных данных служит для приема информации, а также её хранения и выдачи.

* 1. Описание протокола обмена
     1. Формат пакетов

Интерфейс USB используется для любых настроек рабочих параметров устройства, текущего управления и вывода данных.

Тип обмена — пакетный, обмен осуществляется 16-битными словами. Обобщенный формат пакета представлен в таблице 4.1.

Таблица 4.1 — Обобщенный формат пакета

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 15 |  |  |  |  |  | 0 |  |
| Header\_W0 | | | | | | | 0H |
| Header\_W1 | | | | | | | 1H |
| Header\_W2 | | | | | | | 2H |
| Data\_W0 | | | | | | | 0D |
| … | | | | | | | … |
| … | | | | | | | … |
| Data\_WN-1 | | | | | | | ND-1 |

Пакет включает в себя две субъединицы — заголовок (Header) и данные (Data). Длина заголовка — 3 слова. Длина набора данных зависит от величины, указанной в заголовке пакета.

Заголовок пакета используется для описания задачи по обмену информации или управления. Размещение полей заголовка представлено в таблице 4.2.

Таблица 4.2 — Размещение полей заголовка

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 15 |  |  |  |  |  |  |  |  | 6 | 5 | 4 | 3 | 2 |  | 0 |
| BCount(9:0) | | | | | | | | | | R | | FB | Cmd(2:0) | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 31 |  |  |  | 27 | 26 |  | 24 | 23 |  |  |  |  |  |  | 16 |
| R | | | | | AddrValid | | | TID(7:0) | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 47 |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 32 |
| Addr(15:0) | | | | | | | | | | | | | | | |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |

Описание полей заголовка:

**Cmd(2:0)** — **C**o**m**man**d**, команда. От вида команды зависят дальнейшие операции с данными и последующие действия устройства в целом. Типы команд описаны в таблице 4.3.

Таблица 4.3 — Возможные типы команд

| Команда | Описание |
| --- | --- |
| “000” | reserved |
| “001” | Чтение конфигурационных данных |
| “010” | Запись конфигурационных данных |
| “011” | Чтение данных из порта ввода/вывода (FIFO) |
| “100” | Запись данных в порт ввода/вывода (FIFO) |
| “101” | Чтение данных из памяти |
| “110” | Запись данных в память |
| “111” | reserved |

**FB** — **F**eed**B**ack. Наличие «1» в этом поле означает, что заголовок должен быть немедленно отправлен на хост, для подтверждения приема и корректного анализа.

**R** — **R**eserved. Зарезервировано для возможного будущего использования.

**TID(7:0)** — **T**ransaction **ID**entifier. Идентификатор транзакции — номер транзакции циклически (после 255 следует 0) инкрементируется для каждой транзакции, инициированной хостом. Отклики на транзакции (для запросов на чтение, к примеру), инициированные хостом, должны иметь тот же идентификатор, что и исходный запрос хоста.

**AddrValid(2:0)** — **Addr**ess **Valid**. Поле, показывающее корректность выбора адреса. В случае возникновения ошибки в поле **Addr(15:0)** указывается размер области.

| Принимаемое значение | Описание |
| --- | --- |
| “000” | Адрес корректен |
| “001” | Ошибка в выборе нулевого базового адреса |
| “010” | Ошибка в выборе первого базового адреса |
| “011” | Ошибка в выборе второго базового адреса |
| “100” | Ошибка в выборе третьего базового адреса |
| “101” | Ошибка в выборе четвертого базового адреса |
| “110” | Reserved |
| “111” | Неизвестная ошибка в выборе адреса |

**BCount(9:0)** — **B**yte **Count**. Количество байт данных, которое будет передано в наборе данных или должно быть отправлено хосту при выполнении команды чтения. Количество данных *N*:

**Addr(15:0)** — **Addr**ess. Адрес назначения (источника) данных. Адресация осуществляется 16-битными словами.

* + 1. Диаграммы обмена

На рисунке 4.2 изображена диаграмма обмена для базового запроса на чтение.

Cmd = Read…, FB = “0”

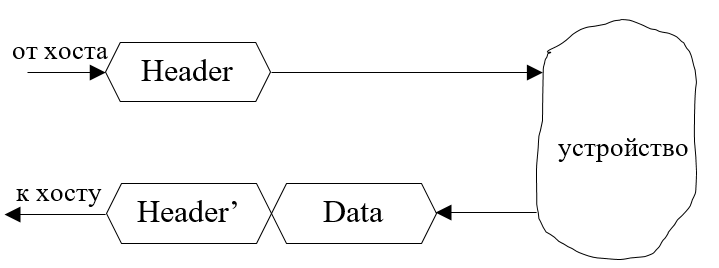


Рисунок 4.2 — Диаграмма обмена для базового запроса на чтение

На рисунке 4.3 изображена диаграмма обмена для базового запроса на запись.

Cmd = Write…, FB = “0”,

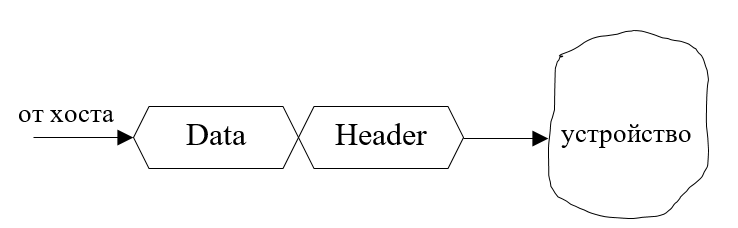


Рисунок 4.3 — Диаграмма обмена для базового запроса на запись

На рисунке 4.4 изображена диаграмма обмена для запроса на запись с подтверждением.

Cmd = Write…, FB = “1”

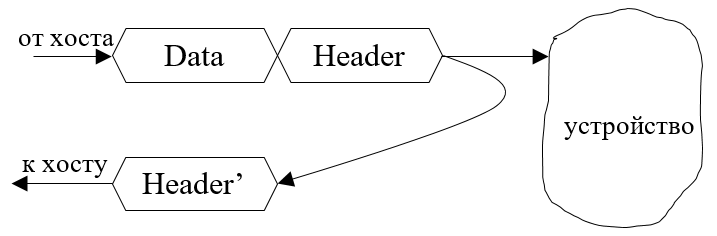


Рисунок 4.4 — Диаграмма обмена для запроса на запись с подтверждением

На рисунке 4.5 изображена диаграмма обмена для запроса на чтение с подтверждением:

Cmd = Read…, FB = “1”

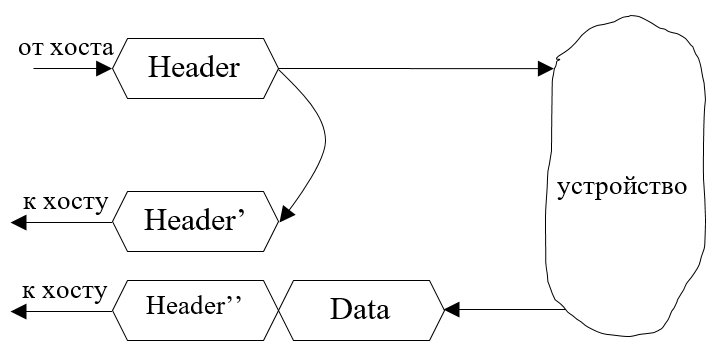


Рисунок 4.5 — Диаграмма обмена для запроса на чтение с подтверждением

* + 1. Реализация шлюза интерфейса

Условное графическое представление шлюза с упрощенным описанием внутреннего устройства представлено на рисунке 4.6.

WB\_Addr (15:0)

WB\_DataOut (15:0)

WB\_DataIn\_0 (15:0)

WB\_STB

WB\_Cyc\_0

WB\_Ack

WB\_CTI (2:0)

WB\_WE

WB\_Sel[1:0]

FT2232H\_FSDO

FT2232H\_FSCTS

FT2232H\_FSDI

FT2322H\_FSCLK

Clk

nRst

Serdes

FIFO

FIFO

WB

WB\_DataIn\_3 (15:0)

…

WB\_Cyc\_3

…

…

…

Рисунок 4.6 — Условное графическое представление шлюза интерфейса

Описание сигналов представлено в таблице 4.4.

Таблица 4.4 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал для BackEnd стороны шлюза. Активность — ↑ |
| 2 | nRst | in | Общий сигнал сброса. Активный уровень – ‘0’. |
| Сигналы **FT2232H** (FrontEnd – на стороне источника управления) | | | |
| 3 | FT2232H\_FSDO | in | Шина входных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 4 | FT2232H\_FSCTS | in | **F**ast **s**erial **C**lear **T**o **S**end. Сигнал готовности FT2232H к приему данных. При значении «0» данные могут передаваться от шлюза к FT2232H. |
| 5 | FT2232H\_FSDI | out | Шина выходных данных, обеспечивает обмен данными между шлюзом и FT2232H |
| 6 | FT2322H\_FSCLK | out | Входной тактовый сигнал для микросхемы FT2232H. |
| Сигналы **интерфейса WISHBONE** (BackEnd – на стороне управляемых модулей) | | | |
| 7 | WB\_Addr (15:0) | out | Адрес смещения для целевого адресного пространства. Вычисляется как разность между адресом в заголовке и базовым адресом соответствующей адресной секции. |
| 8 | WB\_DataOut(15:0) | out | Поток данных, 16-битные слова. |
| 9 | WB\_DataIn\_0 (15:0)  …  WB\_DataIn\_3 (15:0) | in | Поток данных на хост, 16-битные слова. |
| 10 | WB\_WE | out | **W**rite **E**nable. Сигнал разрешения записи: высокий уровень — цикл записи в управляемые модули, низкий — цикл чтения из управляемых модулей. |
| 11 | WB\_Sel[1:0] | out | **Sel**ect. Сигналы разрешения приема/пересылки байта |
| 12 | WB\_STB | out | **St**ro**b**e. Строб-импульс, высокий уровень показывает корректность данных. |
| 13 | WB\_Cyc\_0  …  WB\_Cyc\_3 | out | **Cyc**le. Высокий уровень сигнала показывает выполнение корректного цикла обмена информацией. В данной реализации служит также сигналом выбора ведомого устройства. |
| 14 | WB\_Ack | out | **Ack**nowledge. Сигнал подтверждения штатного завершения пересылки элемента пакета. |
| 15 | WB\_CTI (2:0) | out | **C**ycle **T**ype **I**dentifier. В зависимости от значения сигнала возможны следующие режимы работы:   * “000” – обычный цикл; * “001” – пакетный цикл с фиксированным адресом; * “010” – пакетный цикл с инкрементируемым адресом; * “011-110” – зарезервировано; * “111” – последний пакет. |

Работа сигналов интерфейса FT2232H для режима «Fast Serial Interface» описана в документации [5].

Работа сигналов интерфейса WISHBONE описана в документации [6].

Принцип функционирования модуля протокольного обмена представлен на рисунке 4.6. Сначала данные от хоста поступают на микросхему FT2232H и по последовательному интерфейсу «Fast Serial Interface» передаются на ПЛИС Cyclone 10LP [2]. После этого полученные данные десериализуются и записываются в эластичный буфер FIFO. Далее команды преобразуются в управляющие последовательности сигналов WISHBONE, а данные с помощью интерфейса WISHBONE передаются для обработки на конкретный ведомый модуль. Аналогичным образом возможна передача данных от устройства к хосту с использованием операции сериализации.

* + 1. Модуль гетеродинирования

Модуль гетеродинирования предназначен для сдвига частотной полосы вниз (downconverting) входного потока цифровых данных.

Условное графическое представление модуля гетеродинирования представлено на рисунке 4.7

Clk

nRst

ISig\_in (9:0)

Сигналы интерфейса

WISHBONE

QSig\_in (9:0)

IData\_Out (9:0)

QData\_Out (9:0)

FS\_IncrDecr (1:0)

…

DataValid

DataStrobe

ReceiveDataMode

Рисунок 4.7 — Условное графическое представление модуля гетеродинирования

Описание сигналов представлено в таблице 4.5.

Таблица 4.5 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| 3 | ReceiveDataMode | in | Сигнал режима приема и обработки данных:   * ‘0’ – данные приходят по одному каналу, необходимо использование цифрового гетеродинирования; * ‘1’ – данные приходят по двум каналам, синфазная и квадратурная составляющие выделены и передаются далее на анализатор трафика. |
| Сигналы **интерфейса WISHBONE описаны в разделе 4.1.3.** | | | |
| Сигналы **анализатора трафика** | | | |
| 4 | IData\_Out (9:0) | out | Выходной поток данных, синфазная составляющая сигнала |
| 5 | QData\_Out (9:0) | out | Выходной поток данных, квадратурная составляющая сигнала |
| 6 | FS\_IncrDecr (1:0) | in | Сигнал изменения частоты несущей:   * “00” – не изменять частоту; * “01” – увеличить частоту; * “10” – зарезервировано; * “11” – уменьшить частоту. |
| 7 | DataValid | out | Сигнал, активный уровень которого показывает валидность передаваемых анализатору трафика данных |
| Сигналы **аналого-цифрового преобразователя** | | | |
| 8 | ISig\_in (9:0) | in | Входная синфазная составляющая сигнала, полученного после аналого-цифрового преобразования |
| 9 | QSig\_in (9:0) | in | Входная квадратурная составляющая сигнала, полученного после аналого-цифрового преобразования |
| 10 | DataStrobe | in | Сигнал, активный уровень которого показывает валидность принимаемых данных |

Аналоговый сигнал, поступающий на плату АЦП, в общем виде имеет следующее представление: , где — синфазная составляющая сигнала, а — квадратурная, — несущая частота. После этого над данным сигналом выполняется аналогово-цифровое преобразование для дальнейшей обработки. Можно видеть, что полезная информация нанесена на несущий сигнал для возможности передачи по каналу связи. Таким образом, первый шаг в определении основных характеристик полученного сигнала состоит в сдвиге частотной полосы входного потока цифровых данных вниз. Для этого используется квадратурный гетеродин.

Раскроем скобки с учетом тригонометрических соотношений:

В выражении для действительной и мнимой частей комплексного сигнала присутствуют члены на удвоенной частоте несущей , от которых можно избавиться с помощью фильтра нижних частот.

Таким образом, получим полезные данные:

Структурная схема квадратурного гетеродина представлена на рисунке 4.8.



Рисунок 4.8 — Структурная схема квадратурного гетеродина

К сожалению, приведенные выше формулы являются верными только при условии абсолютно точной настройки частоты несущей сигнала.

После фильтра низких частот выражения примут следующий вид:

Рассмотрим влияние частотной расстройки на полную фазу.

Таким образом, можно сделать вывод о том, что частотная расстройка добавляет линейное слагаемое к полной фазе. Данное заключение используется в качестве основы для построения средств автоматической подстройки частоты несущей путем изменения кодового слова, подаваемого на модуль синтеза частот гетеродинирования от анализатора трафика.

В качестве примера рассмотрим прохождение модулированного (QPSK) сигнала через модуль гетеродинирования, в частности на рисунках 4.9-13 приведен случай полного совпадения частот.

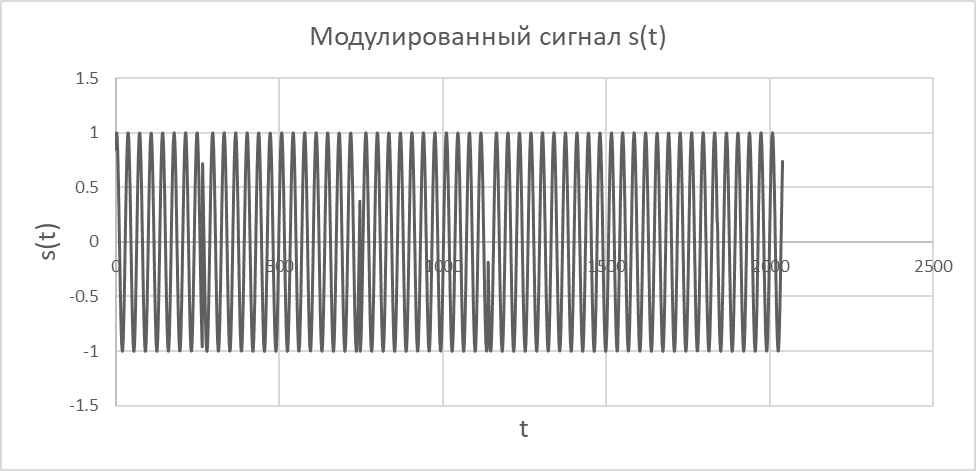


Рисунок 4.9 — Синфазная составляющая исходного сигнала

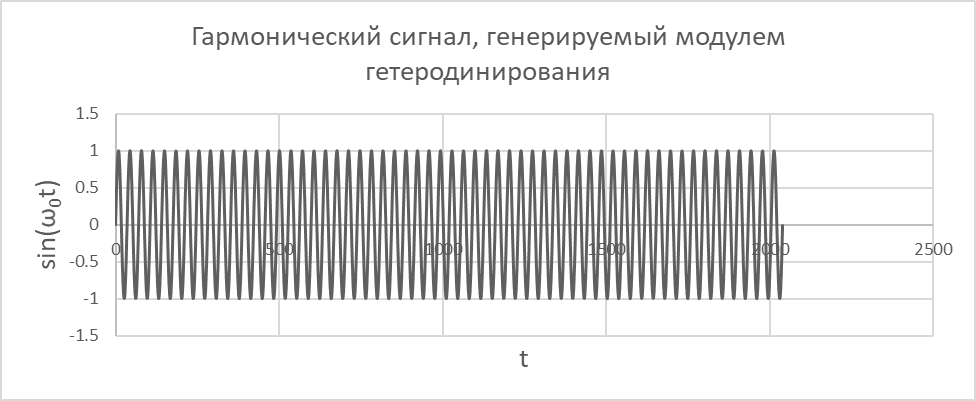


Рисунок 4.10 — Гармонический сигнал, генерируемый модулем гетеродинирования

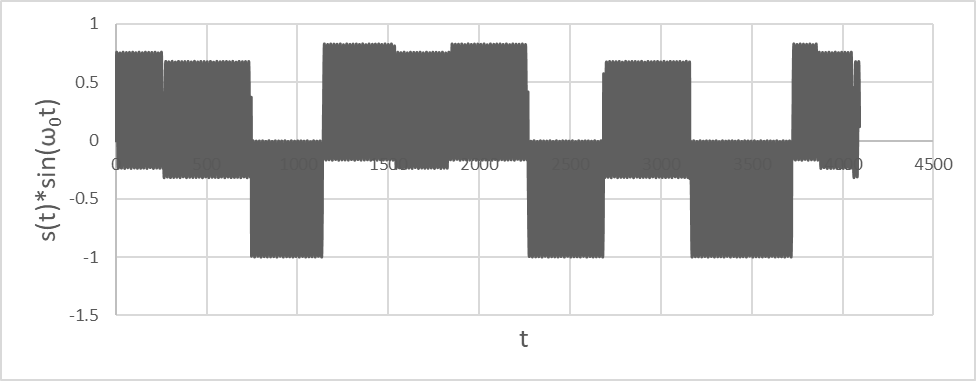


Рисунок 4.11 — Сигнал, получаемый в результате перемножения модулированного и гармонического сигнала при условии полного совпадения частот

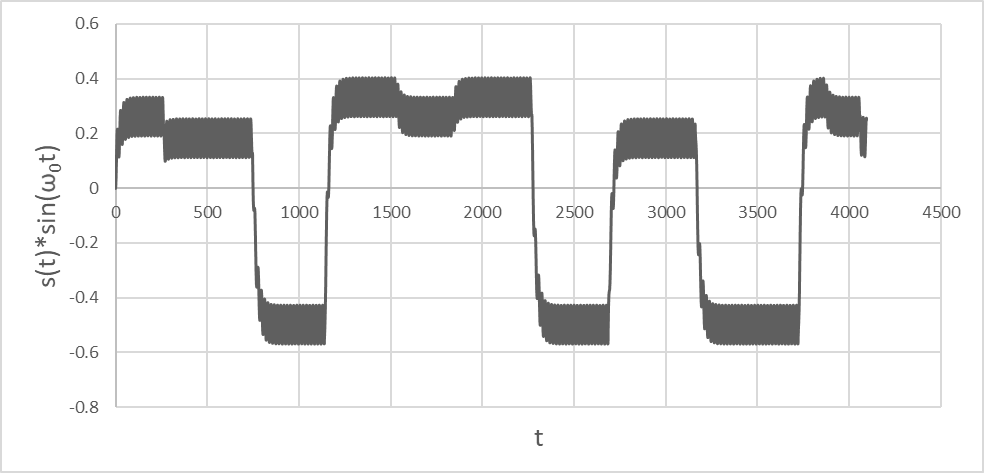


Рисунок 4.12 — Пропущенный через ФНЧ сигнал

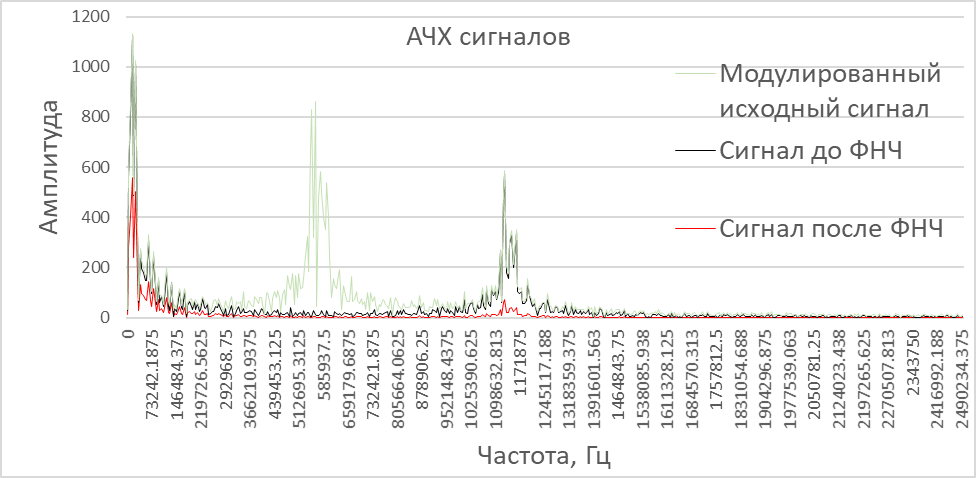


Рисунок 4.13 — Амплитудно-частотная характеристика сигналов

Таким образом, можно сделать вывод о том, что с помощью указанных математических приемов возможно выделить полезные информацию из входного потока данных.

В реальных условиях частота гармонического сигнала, генерируемого модулем гетеродинирования, может отличаться от частоты несущей сигнала. Данный случай рассмотрен на рисунках 4.14-17, при этом модулированный исходный сигнал, изображенный на рисунке 4.9, остается прежним.

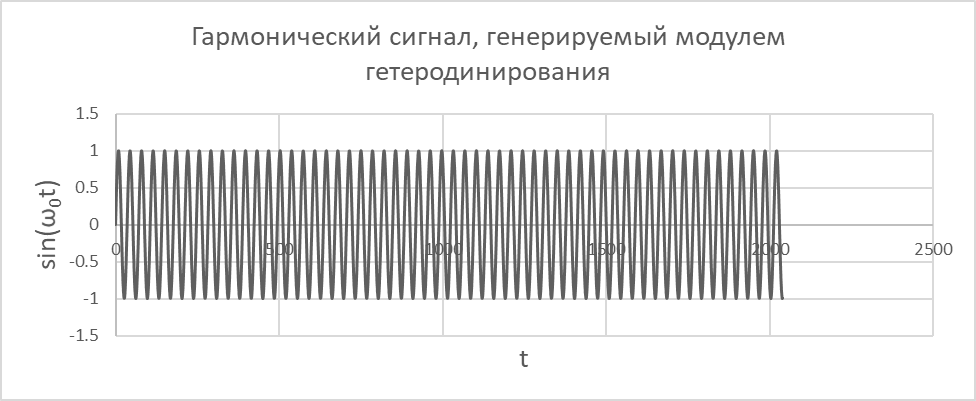


Рисунок 4.14 — Гармонический сигнал, генерируемый модулем гетеродинирования

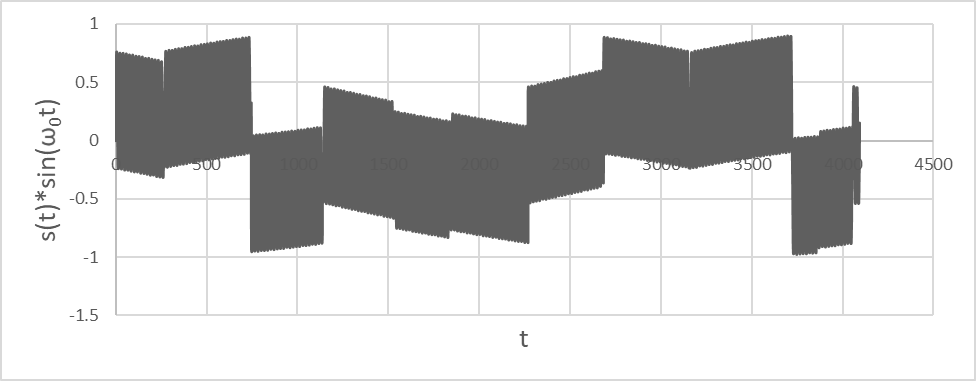


Рисунок 4.15 — Сигнал, получаемый в результате перемножения исходного и гармонического сигнала при частотной расстройке

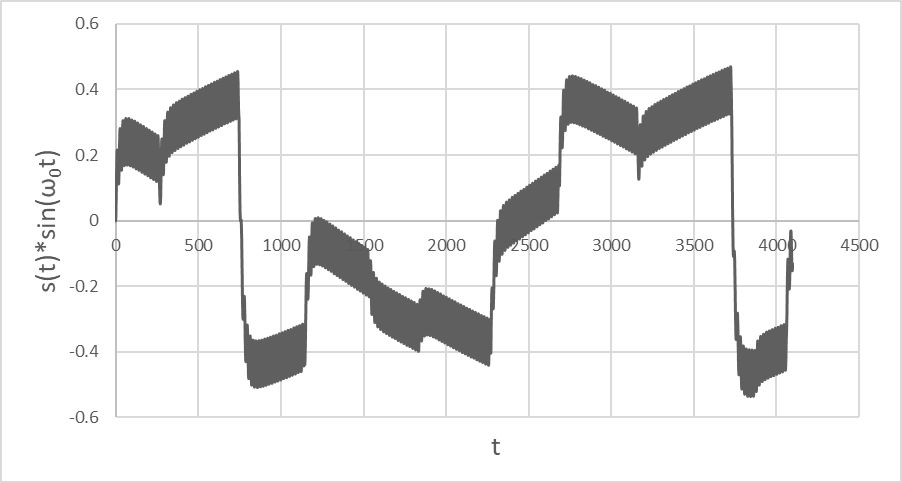


Рисунок 4.16 — Пропущенный через ФНЧ сигнал

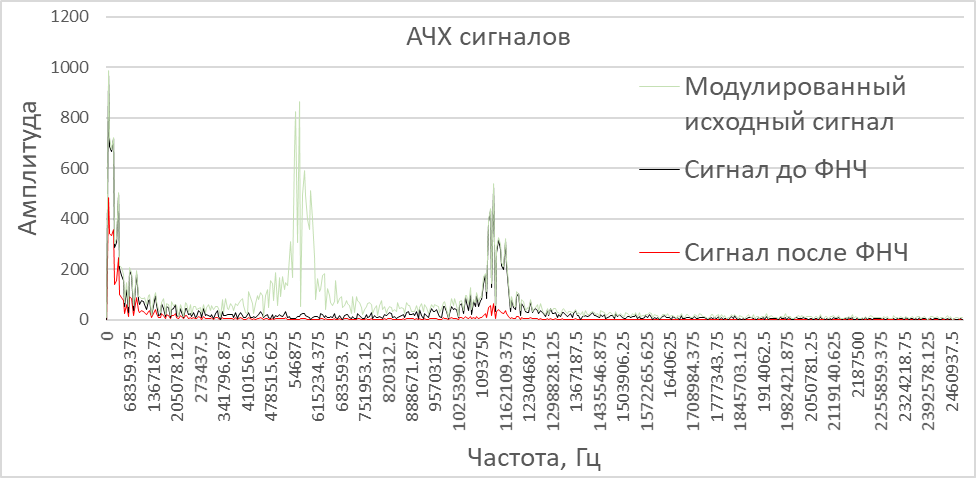


Рисунок 4.17 — Амплитудно-частотная характеристика сигналов

Сравнивая рисунки 4.12 и 4.16, показывающие пропущенный через фильтр нижних частот сигнал для случаев полного совпадения частот и частотной расстройки соответственно, можно обратить внимание на то, что производная на участках с постоянным значением фазы («полочках») для первой ситуации в среднем равна нулю, а для второй — отлична от нуля. Это означает, что, используя данный признак как параметр управления, можно изменять частоту гармонического сигнала гетеродина с целью достижения совпадения несущей частоты и частоты гетеродинирования. Данную операцию можно осуществить с помощью анализатора трафика.

* + 1. Анализатор трафика

Анализатор трафика предназначен для извлечения полезной информации из входного потока данных, в частности для определения символьной скорости и типа модуляции, и для корректировки частоты несущего сигнала для модуля гетеродинирования в соответствии с принципами, описанными в разделе 4.1.4.

Условное графическое представление анализатора трафика представлено на рисунке 4.18.

Clk

nRst

Сигналы интерфейса

WISHBONE

IData\_In (9:0)

QData\_In (9:0)

FS\_IncrDecr (1:0)

…

BufDataOut (15:0)

DataValid

DataStrobe

Рисунок 4.18— Условное графическое представление анализатора трафика

Описание сигналов представлено в таблице 4.6.

Таблица 4.6 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **интерфейса WISHBONE описаны в разделе 4.1.3.** | | | |
| Сигналы **модуля гетеродинирования** | | | |
| 3 | IData\_In(9:0) | in | Входной поток данных, синфазная составляющая сигнала |
| 4 | QData\_In (9:0) | in | Входной поток данных, квадратурная составляющая сигнала |
| 5 | FS\_IncrDecr (1:0) | out | Сигнал изменения частоты несущей:   * “00” – не изменять частоту; * “01” – увеличить частоту; * “10” – зарезервировано; * “11” – уменьшить частоту. |
| 6 | DataValid | in | Сигнал, активный уровень которого показывает валидность принимаемых от модуля гетеродинирования данных |
| Сигналы **набора буферов входных данных** | | | |
| 7 | BufDataOut (15:0) | out | Выходной поток полезных данных |
| 8 | DataStrobe | out | Сигнал, активный уровень которого показывает валидность передаваемых в набор буферов данных |

Упрощенная структурная схема анализатора трафика представлена на рисунке 4.19.

1/N

dn

T

Demod

Рисунок 4.19 — Упрощенная структурная схема анализатора трафика

Скользящее среднее представляет собой фильтр, структурная схема которого изображена на рисунке 4.20.

z-1

z-1

…

N-1

x[n]

y[n]

1/N

1/N

1/N

1/N

…

Рисунок 4.20 — Структурная схема скользящего среднего

Скользящее среднее реализует следующую математическую операцию:

Таким образом, можно использовать алгоритм скользящего среднего для усреднения сигнала по N тактам.

После этого в соответствии с рисунком 4.19 необходимо найти производную сигнала для того, чтобы выделить моменты появления новых данных и для дальнейшего определения символьной скорости.

На рисунках 4.21 и 4.22 изображены производная сигнала, поступающего с модуля гетеродинирования (рисунок 4.12) при условии отсутствия расстройки частоты и при интервале дифференцирования и соответственно. При этом видно, что имеется возможность определения символьной скорости по минимальному промежутку времени между моментами появления новых символов. Символьная скорость определяется исходя из предположения, что во время установления одного сеанса связи невозможна смена режима модуляции. Кроме того, очевидна необходимость установления порога (порог срабатывания счетчика), в соответствии с которым «всплеск» будет интерпретирован как появление новых данных. Именно из-за возникающей неоднозначности отнесения «всплеска» к изменению символа или к оставшейся после ФНЧ частотной составляющей было принято решение определять символьную скорость по минимальному интервалу времени между приходом новых символов.

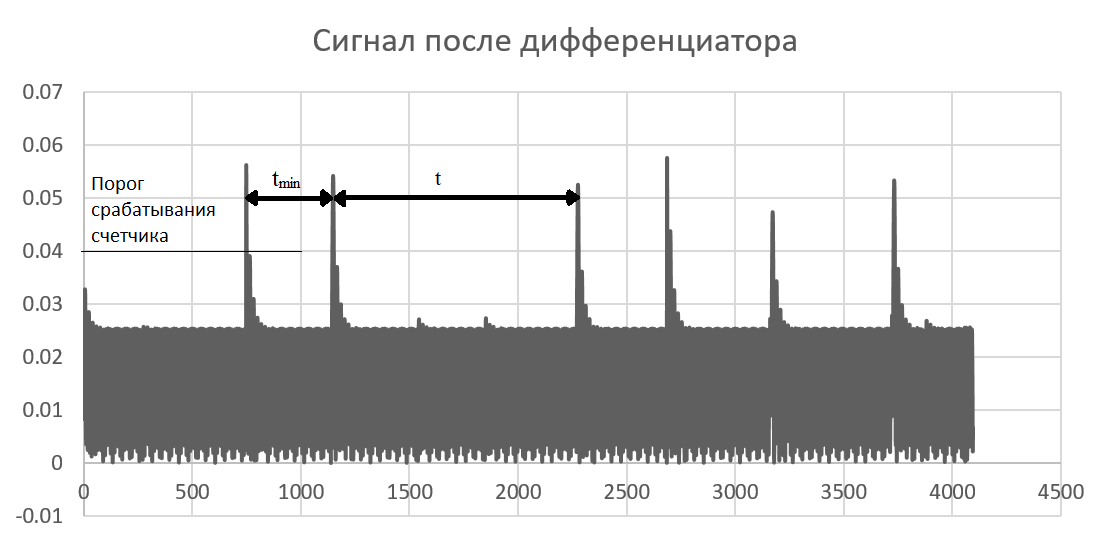


Рисунок 4.21 — Производная сигнала, поступающего с модуля гетеродинирования  
()

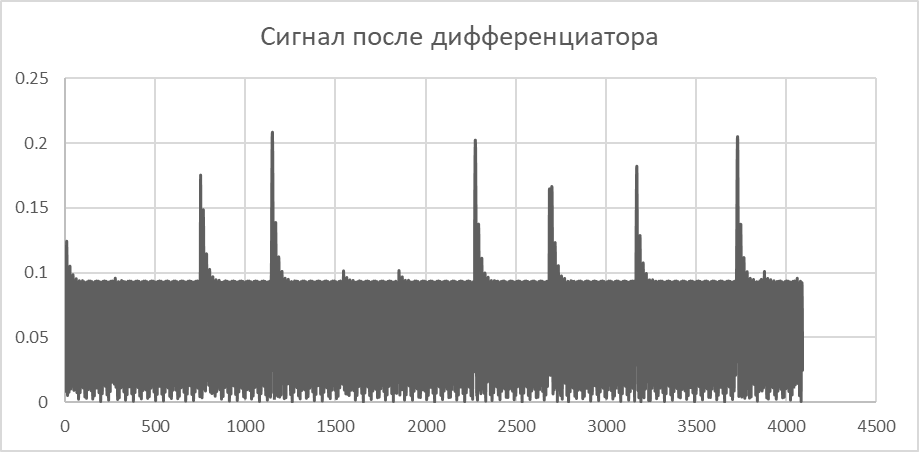


Рисунок 4.22 — Производная сигнала, поступающего с модуля гетеродинирования  
()

После определения символьной скорости с помощью измерения минимального промежутка времени между приходом новых данных можно определить тип модуляции по анализу взаимного расположения синфазной и квадратурных составляющих. Например, для режима модуляции QPSK характерно наличие четырех разных передаваемых фаз. Описанное определение фазы проиллюстрировано на рисунках 4.23-25.

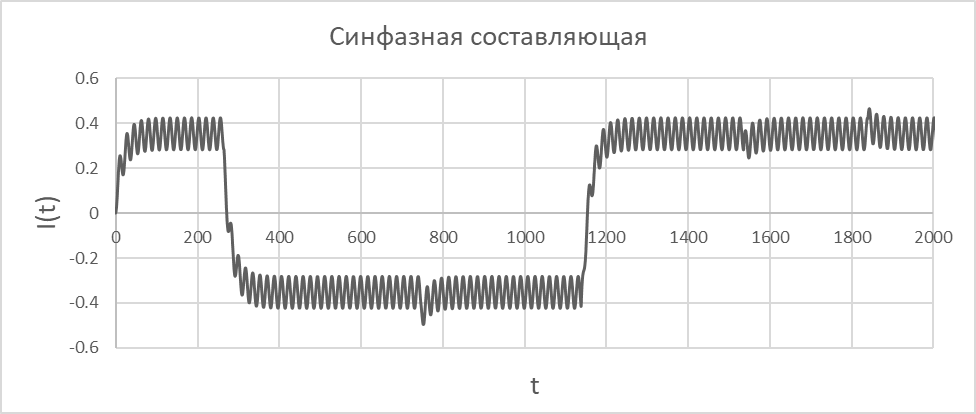


Рисунок 4.23 — Синфазная составляющая сигнала

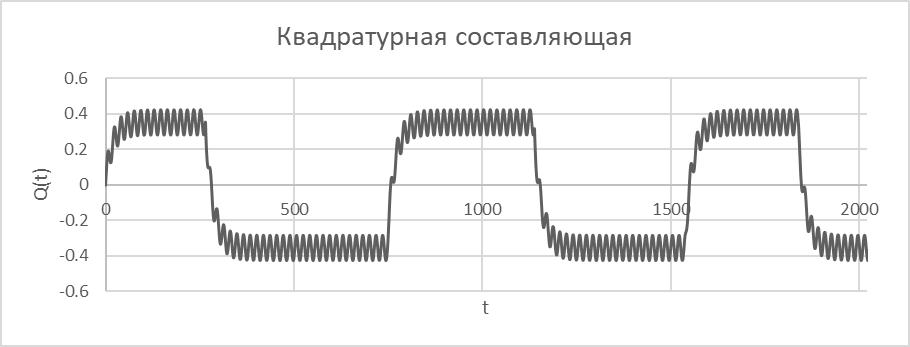


Рисунок 4.24 — Квадратурная составляющая сигнала

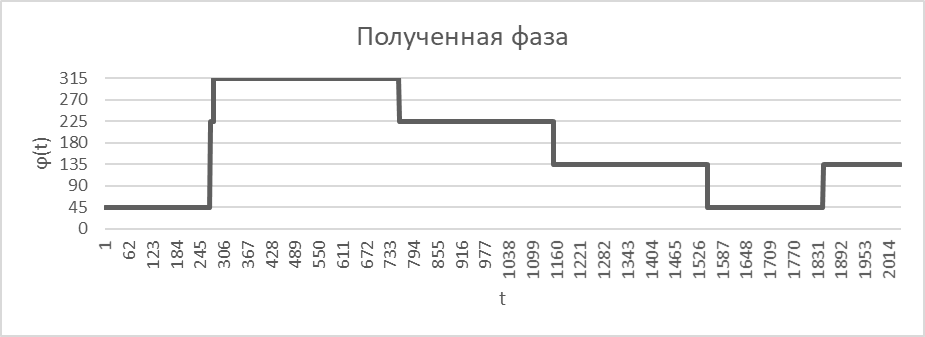


Рисунок 4.25 — Полученная по взаимному расположению синфазной и квадратурной составляющих сигнала фаза

На рисунке 4.26 изображено определение фазы по взаимному расположению синфазной и квадратурной составляющих сигнала для режима модуляции QPSK. Определение фазы в режимах модуляции 8-PSK и 16-QAM происходит аналогичным способом, но с учетом значений порогов для сравнения, задаваемых пользователем.

I(t)

Q(t)

t

t

t

φ(t)

315°

45°

135°

225°

I(t)>0 Q(t)>0

I(t)<0 Q(t)<0

I(t)>0 Q(t)<0

I(t)<0 Q(t)>0

45°

135°

225°

315°

Рисунок 4.26 — Получение значения фазы при режиме модуляции QPSK

На рисунке 4.27 представлена блок-схема алгоритма демодуляции для QPSK.

Получение I и Q

I > 0

Q > 0

Q > 0

BP(1) <= “00” (ϕ = 45°)

BP(1) <= “01” (ϕ = 135°)

BP(1) <= “10” (ϕ = 225°)

BP(1) <= “11” (ϕ = 315°)

Начало

Да

Да

Да

Нет

Нет

Нет

Конец

Сохранение BP

(1) — BP — Bit Pattern, битовый паттерн в созвездии QPSK.

Рисунок 4.27 — Блок-схема алгоритма демодуляции для QPSK

* 1. Адресное пространство

В таблице 4.7 представлена общая карта памяти устройства.

Таблица 4.7 — Общая карта памяти устройства

|  |  |  |  |
| --- | --- | --- | --- |
| Адрес | Размер области, байт | Название | Описание |
| 0x0000-0x00FF | 256 | System control | Общее управление системой |
| 0x0100-0x01FF | 256 | DDS | Синтез частоты дискретизации |
| 0x0200-0x02FF | 256 | DDSDG | Синтез частот гетеродинирования |
| 0x0300-0x03FF | 256 | TARegs | Регистровое пространство анализатора трафика |
| 0x0400-0x0FFF | 15K | reserved |  |
| 0x1000-0x17FF | 2K | Data Buffers | Буферное пространство |
| 0x1800-0xFFFF | 46K | reserved |  |

* + 1. Адреса модуля управления системой

Модуль управления системой предназначен для хранения основных конфигурационных параметров, необходимых для корректной работы устройства.

Назначение элементов карты адресов (базовый адрес 0x0000) модуля управления системой представлено в таблице 4.8.

Таблица 4.8— Описание регистров модуля управления системой

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Название | Описание |
| 0x0000 | 2 | System Control | Регистр общего управления системой |
| 0x0002 | 254 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.9 приведено описание регистра общего управления системой с побитным указанием информации, хранящейся в нем.

Таблица 4.9 — Описание регистра общего управления системой

|  |  |  |  |
| --- | --- | --- | --- |
| 15 | 2 | 1 | 0 |
| Reserved | | ReceiveDataMode | CommonClear |
| R, ‘00000000000000’ | | RW, ‘0’ | RW, ‘0’ |

**CommonClear** — Самоочищающийся бит общего сброса всех модулей системы. После записи единицы через 100 нс данный бит снова сбрасывается в ноль.

**ReceiveDataMode** — Режим приема и обработки данных, описание приведено в таблице 4.10.

Таблица 4.10— Описание ReceiveDataMode

|  |  |
| --- | --- |
| **Значение ReceiveDataMode** | **Описание** |
| ‘0’ | Данные приходят по одному каналу, необходимо выделение синфазной и квадратурной составляющих с помощью цифрового гетеродинирования |
| ‘1’ | Данные приходят по двум каналам, синфазная и квадратурная составляющие выделены |

* + 1. Адреса модуля синтеза частоты дискретизации

Модуль синтеза частоты дискретизации представляет собой схему прямого цифрового синтеза, генерирующую меандры заданной и удвоенной частот, и предназначен для обеспечения аналого-цифрового преобразователя частотой дискретизации и для обеспечения внутреннего модуля приема оцифрованных данных частотой потока данных.

Назначение элементов карты адресов (базовый адрес 0x0100) модуля синтеза частоты дискретизации представлено в таблице 4.11.

Таблица 4.11 — Описание регистров модуля синтеза частоты дискретизации

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Название | Описание |
| 0x0000 | 1 | ADC\_FreqSynControl | Управляющий регистр синтеза частоты дискретизации |
| 0x0001 | 4 | ADC\_FTW | Частотное слово (DWord). |
| 0x0005 | 251 | Reserved |  |

В таблице 4.12 приведено описание управляющего регистра синтеза частоты дискретизации с побитным указанием информации, хранящейся в нем.

Таблица 4.12 — Описание управляющего регистра синтеза частоты дискретизации

|  |  |  |  |
| --- | --- | --- | --- |
| 7 | 2 | 1 | 0 |
| Reserved | | En | Clear |
| R, “000000” | | RW, ‘0’ | RW, '0' |

**Clear** — Самоочищающийся бит сброса синтезатора частоты дискретизации. После записи единицы через 100 нс данный бит снова сбрасывается в ноль.

**En** — **En**able. Сигнал остановки подачи частоты дискретизации на АЦП, активный высокий уровень.

В таблице 4.13 приведено описание регистра частоты сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.13 — Описание регистра частоты сигнала

|  |  |
| --- | --- |
| 31 | 0 |
| ADC\_FTW (31:0) | |
| RW, 0x00000000 | |

**ADC\_FTW (31:0)** — **ADC** **F**requency **T**uning **W**ord. Слово установки частоты.

Условное графическое представление модуля синтеза частоты дискретизации представлено на рисунке 4.28.

Clk

nRst

ADC\_Clk

Сигналы интерфейса

WISHBONE

…

DataFlow\_Clk

Рисунок 4.28 — УГО модуля синтеза частоты дискретизации

Описание сигналов представлено в таблице 4.14.

Таблица 4.14 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| Сигналы **интерфейса WISHBONE описаны в разделе 4.1.3.** | | | |
| Сигнал **аналого-цифрового преобразователя** | | | |
| 3 | ADC\_Clk | out | Тактовый сигнал заданной частоты дискретизации для выполнения цифро-аналогового преобразования |
| 4 | DataFlow\_Clk | out | Тактовый сигнал для приема данных с АЦП |

На рисунке 4.29 приведено описание устройства работы модуля синтеза частоты дискретизации, а также его структурная схема.

ACC

ADC\_FTW

ACC

fADC

Time

Time

Time

fDataFlow

FGen

fADC

fDataFlow

Рисунок 4.29 — Структурная схема модуля синтеза частоты дискретизации

Формула, описывающая взаимосвязь между кодовым словом и частотой дискретизации:

где — выходная частота дискретизации; — слово установки частоты (**f**requency **t**uning **w**ord); — тактовая частота, 60 МГц; N — разрядность аккумулятора, 32 бита.

Внутренний модуль демультиплексирования предназначен для преобразования входного потока данных с АЦП в вид, удобный для преобразования модулем гетеродинирования, так как синфазная и квадратурная составляющие передаются по одному каналу с удвоенной частотой дискретизации.

Условное графическое представление внутреннего модуля демультиплексирования данных после АЦП представлено на рисунке 4.30.

Clk\_DataFlow

nRst

ADC\_SigIn (9:0)

ISigOut (9:0)

QSigOut (9:0)

DataStrobe

Clk\_ADC

ReceiveDataMode

Рисунок 4.30 — УГО внутреннего модуля демультиплексирования данных после АЦП

Описание сигналов представлено в таблице 4.15.

Таблица 4.15 — Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk\_ADC | in | Тактовый сигнал АЦП |
| 2 | Clk\_DataFlow | in | Тактовый сигнал приема данных |
| 3 | nRst | in | Сигнал сброса |
| 4 | ReceiveDataMode | in | Сигнал режима приема и обработки данных:   * ‘0’ – данные приходят по одному каналу; * ‘1’ – данные приходят по двум каналам. |
| Сигналы **интерфейса WISHBONE описаны в разделе 4.1.3.** | | | |
| Сигнал **аналого-цифрового преобразователя** | | | |
| 5 | ADC\_SigIn (9:0) | in | Данные, поступающие с АЦП. |
| Сигналы **модуля гетеродинирования** | | | |
| 6 | ISigOut (9:0) | out | Синфазная составляющая сигнала |
| 7 | QSigOut (9:0) | out | Квадратурная составляющая сигнала |
| 8 | DataStrobe | out | Сигнал, активный уровень которого показывает валидность передаваемых в модуль гетеродинирования данных |

* + 1. Адреса модуля гетеродинирования

Модуль гетеродинирования предназначен для получения полезной информации из входного потока данных.

Назначение элементов карты адресов (базовый адрес 0x0200) модуля гетеродинирования представлено в таблице 4.16.

Таблица 4.16 — Описание регистров модуля гетеродинирования

|  |  |  |  |
| --- | --- | --- | --- |
| Смещение | Размер, байт | Название | Описание |
| 0x0000 | 1 | Heterodyne Control | Управляющий регистр модуля гетеродинирования |
| 0x0001 | 4 | HFreqDWord | Регистр, хранящий частотное слово для генерирования гармонического сигнала |
| 0x0005 | 2 | HIncrFreqWord | Регистр, хранящий параметр изменения основного частотного слова для автоматической подстройки частоты |
| 0x0007 | 2 | TimeCount | Интервал паузы инкрементирования |
| 0x0009 | 247 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.17 представлен управляющий регистр модуля гетеродинирования.

Таблица 4.17 — Управляющий регистр модуля гетеродинирования

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 7 | 4 | 3 | 2 | 1 | 0 |
| Reserved | | TimeUnit | | Clear | AutoFreqConEn |
| R, “0000” | | RW, ‘00’ | | RW, ‘0’ | RW, ‘0’ |

**AutoFreqConEn** — **Auto**matic **Freq**uency **Con**trol **En**able. Включение автоматической подстройки частоты. При записи ‘1’ начинается автоматическая подстройка частоты при частотной расстройке. При записи ‘0’ автоматический режим прекращается.

**Clear** — Самоочищающийся бит сброса модуля гетеродинирования. После записи единицы через 100 нс данный бит снова сбрасывается в ноль.

**TimeUnit** — сигнал задания задержки при изменении частоты гетеродинирования на величину параметра, указанного в регистре FrequencyIncr. Сигнал принимает следующие значения: “00” — 100 нс, “01” — 1 мкс, “10” — 10 мкс.

Побитовое представление регистра для хранения частотного слова для генерирования гармонического сигнала представлено в таблице 4.18.

Таблица 4.18 — Описание области памяти, хранящей частотное слово

|  |  |  |  |
| --- | --- | --- | --- |
| 31 |  |  | 0 |
| HFreqDWord[31:0] | | | |
| RW, x“00000000” | | | |

**HFreqDWord[31:0]** — **H**eterodyne **Freq**uency **D**ouble **Word**. Двойное частотное слово для генерирования гармонического сигнала.

Для генерирования гармонического сигнала используется схема прямого цифрового синтеза, структурная схема которой изображена на рисунке 4.31.

ACC

ROM

HFreqDWord

Рисунок 4.31 — Схема прямого цифрового синтеза

Формула, описывающая взаимосвязь между кодовым словом и частотой гармонического сигнала:

где — выходная частота гармонического сигнала; — слово установки частот; — тактовая частота, 100 МГц; N — разрядность аккумулятора, 32.

В таблице 4.19 приведено описание области памяти, хранящей инкремент частотного слова, с побитным описанием.

Таблица 4.19 — Описание области памяти, хранящей инкремент частотного слова

|  |  |  |  |
| --- | --- | --- | --- |
| 15 |  |  | 0 |
| HIncrFreqWord[15:0] | | | |
| RW, x“0000” | | | |

**HIncrFreqWord[15:0]** — **H**eterodyne **Incr**ement **Freq**uency **Word**. Частотное слово, на которое изменяется основное частотное слово для автоматической подстройки частоты.

В таблице 4.20 приведено описание области памяти, хранящей интервал паузы инкрементирования, с побитным описанием.

Таблица 4.20 — Описание области памяти, хранящей интервал паузы инкрементирования

|  |  |  |  |
| --- | --- | --- | --- |
| 15 |  |  | 0 |
| TimeCount[15:0] | | | |
| RW, x“0003” | | | |

**TimeCount[15:0]** — **Time Count**er. Беззнаковое целое число, задающее интервал паузы инкрементирования, которое может принимать следующие значения:

На рисунке 4.32 представлено изменение частоты гармонического сигнала в зависимости от параметров инкрементирования (TimeCount, TimeUnit и FreqIncr).

Freq

Time

TimeCount\*TimeUnit

FreqIncr

Рисунок 4.32— Изменение частоты гармонического сигнала в зависимости от параметров инкрементирования

* + 1. Адреса анализатора трафика

Анализатор трафика используется для извлечения полезной информации из входного потока данных, в частности для определения символьной скорости и типа модуляции.

Назначение элементов карты адресов (базовый адрес 0x0300) анализатора трафика представлено в таблице 4.21.

Таблица 4.21 — Описание регистров анализатора трафика

| Смещение | Размер, байт | Название | Описание |
| --- | --- | --- | --- |
| 0x0000 | 1 | TAControl | Управляющий регистр анализатора трафика |
| 0x0001 | 1 | MANumber | Регистр, хранящий количество точек для усреднения для алгоритма скользящего среднего. |
| 0x0002 | 2 | FilterCoeff | Регистр, хранящий коэффициент фильтра, реализующего алгоритм скользящего среднего |
| 0x0004 | 1 | DerTimeInt | Регистр, хранящий значение временного интервала, на котором определяется производная |
| 0x0005 | 2 | TimeCountThres | Регистр, хранящий значение порога счетчика времени между соседними моментами появления новых символов |
| 0x0007 | 4 | 8PSKThres | Регистровый файл, хранящий значение порогов для определения фазы по синфазной и квадратурной составляющим сигнала |
| 0x000B | 12 | 16QAMThres | Регистровый файл, хранящий значение порогов для определения фазы и амплитуды по синфазной и квадратурной составляющим сигнала |
| 0x0017 | 233 | Reserved | Зарезервировано для возможного будущего использования |

В таблице 4.22 приведено описание регистра амплитуды сигнала с побитным указанием информации, хранящейся в нем.

Таблица 4.22 — Описание управляющего регистра анализатора трафика

|  |  |  |  |
| --- | --- | --- | --- |
| 7 | 2 | 1 | 0 |
| Reserved | | AverageMode | Clear |
| R, ‘000000’ | | RW ‘0’ | RW ‘0’ |

**Clear** — Самоочищающийся бит сброса анализатора трафика. После записи единицы данный бит через 100 нс снова сбрасывается в ноль.

**AverageMode** — Задание режима усреднения сигнала. ‘1’ — использование скользящего среднего; ‘0’ — усреднение не производится.

В таблице 4.23 приведено описание регистра, содержащего количество усредняемых точек, с побитным указанием информации, хранящейся в нем.

Таблица 4.23 — Описание регистра, содержащего количество усредняемых точек

|  |  |  |  |
| --- | --- | --- | --- |
| 7 | 5 | 4 | 0 |
| Reverved | | MANumber | |
| R, “000” | | RW, “00000” | |

**MANumber** — **M**oving **A**verage **Number**. Беззнаковое целое число от 0 до 31, задающее количество усредняемых отсчетов [см. раздел 4.1.5].

В таблице 4.24 приведено описание регистра, хранящего коэффициенты фильтра, реализующего алгоритм скользящего среднего, с побитным указанием информации, хранящейся в нем.

Таблица 4.24 — Описание регистра, хранящего коэффициенты фильтра

|  |  |
| --- | --- |
| 15 | 0 |
| FilterCoeff | |
| R, 0x0000 | |

**FilterCoeff** — **Filter** **Coeff**icient. Беззнаковое число с фиксированной точкой, автоматически вычисляемое в соответствии с выражением:

В качестве примера рассмотрим усреднение по 5 точкам. Тогда , данное число можно прочитать из регистра FilterCoeff сразу после записи MANumber, равного 5.

В таблице 4.25 приведено описание регистра, хранящего значение временного интервала, на котором определяется производная, с побитным указанием информации, хранящейся в нем.

Таблица 4.25 — Описание регистра, хранящего значение временного интервала, на котором определяется производная

|  |  |
| --- | --- |
| 7 | 0 |
| DerTimeInt | |
| RW, 0x00 | |

**DerTimeInt** — **Der**ivative **Time** **Int**erval. Беззнаковое целое число, хранящее количество тактов для подсчета производной сигнала.

В таблице 4.26 приведено описание регистра, хранящего значение порога счетчика времени между соседними моментами появления новых символов, с побитным указанием информации, хранящейся в нем.

Таблица 4.26 — Описание регистра, хранящего значение порога счетчика времени между соседними моментами появления новых символов

|  |  |
| --- | --- |
| 15 | 0 |
| TimeCountThres | |
| RW, 0x0000 | |

**TimeCountThres** — **Time** **Count**er **Thres**hold. Порог, значение которого используется для определения факта приема новых символов [см. раздел 4.1.5].

В таблице 4.27 приведено описание регистрового файла 8PSKThres (базовый адрес 0x0300 + 0x0007), хранящего значения порогов для определения фазы по синфазной и квадратурной составляющим сигнала, с побитным указанием информации, хранящейся в нем.

Таблица 4.27 — Описание регистрового файла 8PSKThres, хранящего значения порогов для определения фазы по синфазной и квадратурной составляющим сигнала [см. раздел 4.1.5]

| Смещение | Название регистра | Назначение |
| --- | --- | --- |
| 0x00 | ILowThres | Нижний порог, значение которого используется для сравнения с синфазной составляющей сигнала для определения фазы |
| 0x01 | IUpperThres | Верхний порог, значение которого используется для сравнения с синфазной составляющей сигнала для определения фазы |
| 0x02 | QLowThres | Нижний порог, значение которого используется для сравнения с квадратурной составляющей сигнала для определения фазы |
| 0x03 | QUpperThres | Верхний порог, значение которого используется для сравнения с квадратурной составляющей сигнала для определения фазы |

В таблице 4.28 приведено описание регистрового файла 16QAMThres (базовый адрес 0x0300 + 0x000B), хранящего значения порогов для определения фазы и амплитуды по синфазной и квадратурной составляющим сигнала, с побитным указанием информации, хранящейся в нем.

Таблица 4.28 — Описание регистрового файла 16QAMThres, хранящего значения порогов для определения фазы и амплитуды по синфазной и квадратурной составляющим сигнала [см. раздел 4.1.5]

| Смещение | Название регистра | Назначение |
| --- | --- | --- |
| 0x00 | ILeftPhaseThres | Нижний порог фазы, значение которого используется для сравнения с синфазной составляющей сигнала для определения фазы |
| 0x01 | ICenterPhaseThres | Средний порог фазы, значение которого используется для сравнения с синфазной составляющей сигнала для определения фазы |
| 0x02 | IRightPhaseThres | Верхний порог фазы, значение которого используется для сравнения с синфазной составляющей сигнала для определения фазы |
| 0x03 | QLeftPhaseThres | Нижний порог фазы, значение которого используется для сравнения с квадратурной составляющей сигнала для определения фазы |
| 0x04 | QCenterPhaseThres | Средний порог фазы, значение которого используется для сравнения с квадратурной составляющей сигнала для определения фазы |
| 0x05 | QRightPhaseThres | Верхний порог фазы, значение которого используется для сравнения с квадратурной составляющей сигнала для определения фазы |
| 0x06 | ILowAmplThres | Нижний порог амплитуды, значение которого используется для сравнения с синфазной составляющей сигнала для определения амплитуды |
| 0x07 | IMiddleAmplThres | Средний порог амплитуды, значение которого используется для сравнения с синфазной составляющей сигнала для определения амплитуды |
| 0x08 | IUpperAmplThres | Верхний порог амплитуды, значение которого используется для сравнения с синфазной составляющей сигнала для определения амплитуды |
| 0x09 | QLowAmplThres | Нижний порог амплитуды, значение которого используется для сравнения с квадратурной составляющей сигнала для определения амплитуды |
| 0x0A | QMiddleAmplThres | Средний порог амплитуды, значение которого используется для сравнения с квадратурной составляющей сигнала для определения амплитуды |
| 0x0B | QUpperAmplThres | Верхний порог амплитуды, значение которого используется для сравнения с квадратурной составляющей сигнала для определения амплитуды |

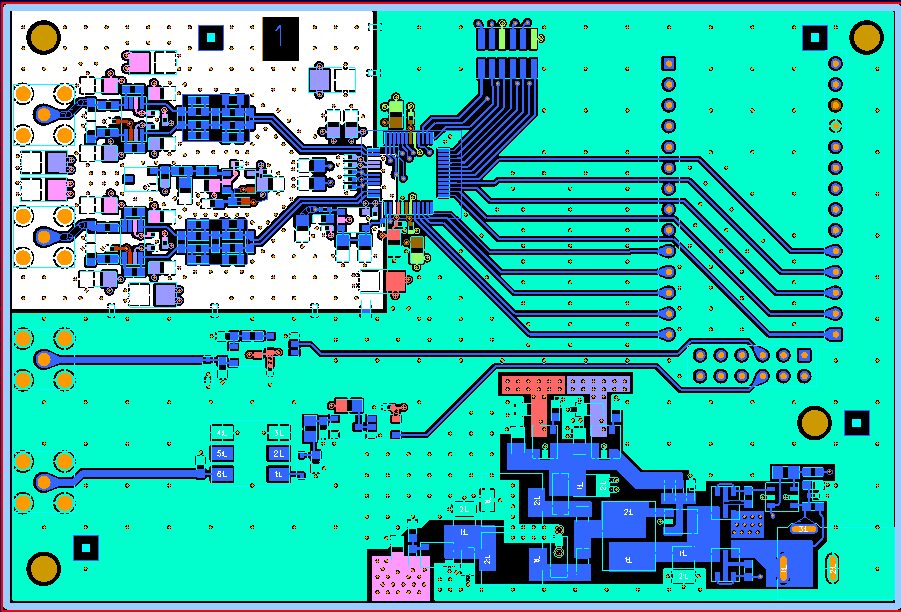
Список использованной литературы

1. TEI0003 TRM Revision: v.18, 04/16/2019, Copyright © 2019 Trenz Electronic GmbH, <http://www.trenz-electronic.de>;
2. Intel® Cyclone® 10 LP Core Fabric and General Purpose I/Os Handbook, C10LP51003, 2020.05.21. [www.intel.com](http://www.intel.com);
3. ADC10D040 Dual 10-Bit, 40 MSPS, 267 mW A/D Converter Datasheet, SNAS149G –OCT 2001–REVISED MARCH 2013, <https://www.ti.com>;
4. LT1935 1.2MHz Boost DC/DC Converter in ThinSOT with 2A Switch Data Sheet, <https://www.analog.com>;
5. FT2232H Dual High Speed USB to Multipurpose UART/FIFO IC Datasheet Version 2.6, <https://ftdichip.com/>;
6. WISHBONE System-on-Chip (SoC) Interconnection Architecture for Portable IP Cores Revision: B.3, Released: September 7, 2002, [www.opencores.org](http://www.opencores.org);
7. AD1580 1.2 V Micropower, Precision Shunt Voltage Reference. F, [www.analog.com](http://www.analog.com);
8. «Искусство схемотехники» П. Хоровиц, У. Хилл, Пер. с англ. - Изд. 2-е. - М.: Издательство БИНОМ . - 2014. - 704 с., ил., ISBN 978-5-9518-0351-1;
9. «Основы языка VHDL» П. Н. Бибило, Изд. 3-е, доп. М.: Изд. ЛКИ, 2007. – 328 с., ISBN 978-5-382-00334-4;
10. «Цифровая обработка сигналов» А. Оппенгейм, Р. Шафер, Пер. с англ./Под ред.С. Я. Шаца – М.: Связь, 1979. – 416 с., ил.

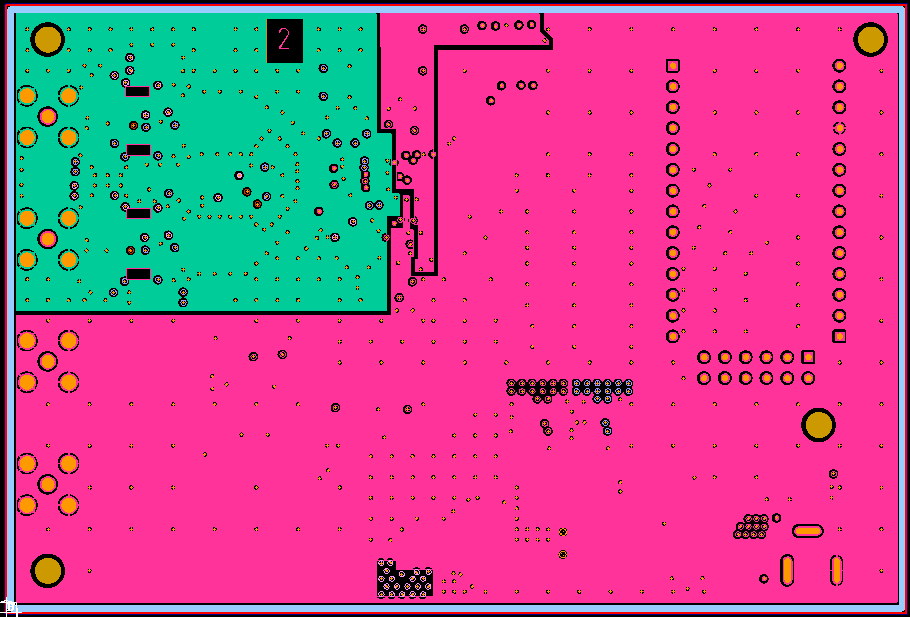
Приложение 1

Изображение слоев печатной платы АЦП

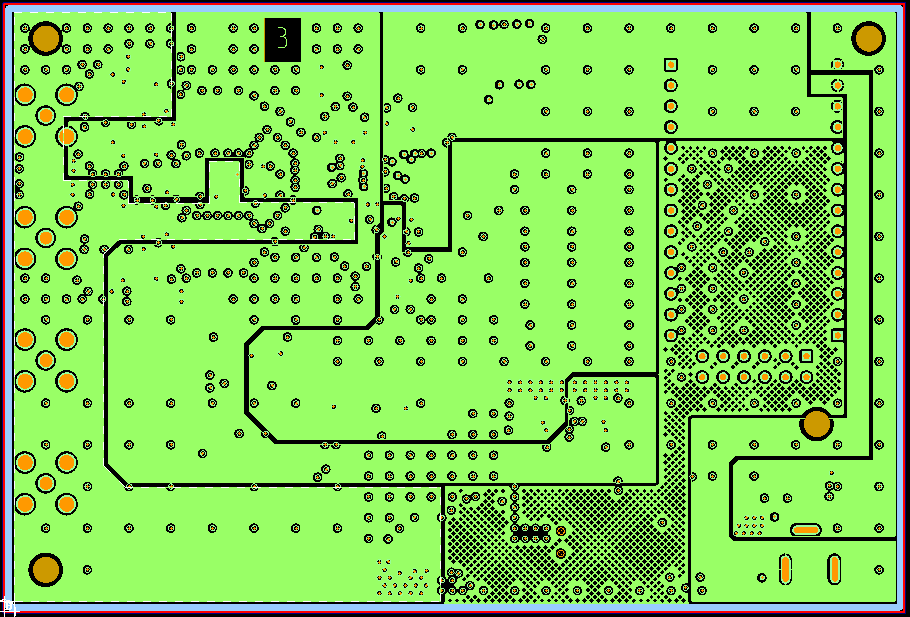
Слой 1 (внешний, сигнальный слой):



Слой 2 (внутренний слой земли):



Слой 3 (внутренний слой питания):



Слой 4 (внешний, сигнальный слой):

